

Optimalni robustni regulator minimalnega reda za pretvornik DC-DC na osnovi Pareto rešitev

Uroš Sadek^{1,2}, Andrej Sarjaš², Amor Chowdhury^{1,2}, Rajko Svečko²

¹Margento R&D, Gosposvetska cesta 84, 2000 Maribor

²Univerza v Mariboru, Fakulteta za elektrotehniko, računalništvo in informatiko, Maribor, Slovenija

uros.sadek@margento.com

Pareto based optimal robust minimal-order controller structure of a DC-DC converter

Abstract. *As result of a standard robust control technique is normally a higher-order robust controller. One of the problems in real time control implementation appears to be a numerical error caused by evaluation of a higher-order differential equation. This problem is significant on low-price systems with lower numerical accuracy. Paper considers control implementation for DC-DC converter on a low-price FPGA system, using integer numeric, in order to minimize closed-loop sampling time. Implementation of floating-point units is not possible due to lack of resources.*

However, by designing an optimal and robust lower-order controller, we can avoid numerical error and consequently any closed-loop system instability. Therefore, this paper proposes a multi-criteria optimization robust control method for any order controller structure.

1 Uvod

DC-DC stikalni pretvorniki se uporabljajo v mnogoterih aplikacijah za pretvorbo električne energije enosmerne napetosti, bodisi navzgor ali navzdol. Predvsem se pojavljajo v aplikacijah, ki vključujejo baterijsko napajanje ali solarne celice. Omenjeni stikalni pretvorniki nudijo mnogo različnih možnosti uporabe v smislu napetostne ali tokovne regulacije, izboljšave faktorja moči v aktivnih usmernikih itd. Pomembna prednost stikalnih pretvornikov je visoka učinkovitost prenosa moči v primerjavi z linearnimi napetostnimi pretvorniki.

Omenjeni pretvorniki imajo tudi nekaj slabosti. Prva pomembnejša slabost pretvornika je občutljivost pretvornika na vhodne in izhodne motnje ter občutljivost na parametrična odstopanja. Slednje se odraža v razhajanju dinamike med modelom in realnim sistemom ter posledično v poslabšani robustnosti sistema. Omenjeni pretvorniki imajo običajno precej visoko dinamiko sistema (kratki odzivni časi). Posledično je potrebno pri vodenju takšnih sistemov, zagotoviti delovanje regulacijske zanke pri zelo kratkih časovnih periodah, kar lahko predstavlja težave pri digitalnem vodenju z uporabo mikroprocesorjev. V ta namen je uporabljen FPGA pri implementaciji regulatorja, s čimer je bilo možno zagotoviti pogoje realnega časa, pri

izvajanju regulacijske zanke, za zelo kratke časovne periode ($\ll 0.1$ ms).

V primeru negotovosti sistema in ob prisotnosti zunanjih motenj na sistem, je zagotovitev robustnosti zaprto-zančnega sistema ključnega pomena. Veliko je raziskav o robustnem vodenju DC-DC pretvornika na osnovi vsesplošnega PID regulatorja, linearnega kvadratičnega regulatorja (LQR), regulatorja drsnega režima, kompleksnejših robustnih regulatorjev po metodi preoblikovanja zanke (Loop-Shaping) [1, 2], itd... Za kompleksnejše robustne tehnike, npr. za metodo oblikovanja zanke [1, 2], je značilno, da rezultirajo regulatorje visokih redov (5. red regulatorja za sistem 2. reda). Dejstvo je, da numerični izračun diferenčne enačbe višje stopnje povzroča precej več numerične napake v izračunu kot diferenčna enačba nižje stopnje. Z naraščanjem numerične napake se lahko učinek vodenja poslabša, zaprto-zančni sistem pa lahko postane nestabilen.

V osrednjem delu članka je predstavljena sinteza regulatorja kot več-kriterijski optimizacijski problem, kjer izvajamo optimizacijo kriterijev robustne stabilnosti in robustnega učinka. Kriterija robustnosti zaprto-zančnega sistema omogočata izbiro regulatorja poljubnega reda kot je predstavljeno v delih [1] in [3]. Cilj optimizacije je sinteza optimalnih in robustnih parametrov regulatorja poljubnega reda npr. prvega ali drugega reda, ki je primeren za implementacijo na FPGA-ju, kjer lahko z omejeno numerično natančnostjo bistveno zmanjšamo čas izvajanja regulacijske zanke.

Zaključni del članka povzema implementacijo regulatorja na FPGA in prikazuje prednost vodenja z zmanjšano stopnjo regulatorja.

2 Negotovost modela DC-DC pretvornika navzgor

Članek se osredotoča na linearno robustno vodenje DC-DC pretvornika navzgor na osnovi negotovega dinamičnega modela s parametričnimi odstopanji sistema. Model s parametričnimi odstopanji določa variacijo veličin posameznega elementa v okolici nominalne vrednosti na določenem intervalu. Za določitev modela s parametričnimi odstopanji podajmo linearni model pretvornika, kjer srednje vrednosti veličin (velike tiskane črke) določajo delovno točko pretvornika,

$$P_n(s) = \frac{\tilde{u}_0(s)}{\tilde{\delta}(s)} \Big|_{\tilde{u}_d=0} = \frac{-sLI_L + (U_0(1-\Delta_p) - I_L R_r)}{s^2 LC + s\left(\frac{L}{R} + CR_r\right) + \frac{R_r}{R} + (1-\Delta_p)^2} \quad (1)$$

kjer so:

- I_L – Srednja vrednost toka skozi dušilko
- U_0 – Srednja vrednost izhodne napetosti
- Δ_p – Srednja vrednost prevajalnega razmerja
- L – Induktivnost dušilke
- C – Kapacitivnost kondenzatorja
- R_r – Vsota serijskih upornosti v tokokrogu dušilke
- R – Upornost bremena
- $\tilde{u}_0$ – Izhodna napetost okoli srednje vrednosti
- $\tilde{\delta}(s)$ – Prevajalno razmerje okoli srednje vrednosti

Tabela 1: Delovna točka a) in nominalni parametri b)

a	U_d [V]	U_0 [V]	I_L [A]	Δ_p
	7.4	14	0.8026	0.4761
b	L_{nom} [μH]	C_{nom} [μF]	$R_{T,nom}$ [Ω]	R_{nom} [Ω]
	15	33	0.081	33

Parametri v tabeli 1 določajo delovno točko pretvornika (a)) in nominalne vrednosti posameznega elementa (b)) za katere določimo intervale odstopanja

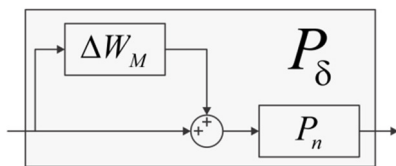
$$\begin{aligned} 12\mu H &\leq L \leq 18\mu H \\ 28.05\mu F &\leq C \leq 37.95\mu F \\ 648m\Omega &\leq R_r \leq 972m\Omega \\ 5\Omega &\leq R \leq 1500\Omega \\ 0.37 &\leq \Delta_p \leq 0.57 \end{aligned} \quad (2)$$

2.1 Vhodni multiplikativni model

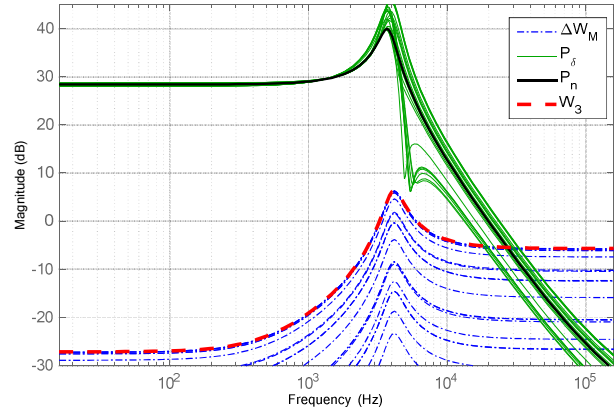
Ker so orodja za analizo robustnosti, za modele s parametričnimi odstopanji, veliko bolj kompleksna in omejena, je smiselno model parametričnih odstopanj pretvoriti v model strukturnih odstopanj. Kot model nestrukturiranih (veja strukturnih) odstopanj izberemo vhodni multiplikativni model (3), prikazan na sliki 1, zaradi lastnosti fazno ne-minimalnega sistema.

$$\Delta W_M = (P_\delta - P_n) P_n^{-1} \quad (3)$$

Tukaj je P_0 nominalni model, ΔW_M model odstopanj ter P_Δ model negotovega sistema. Zadnja dva modela sta, za model realnega pretvornika, prikazana na sliki 2.



Slika 1: Vhodni multiplikativni model



Slika 2: Frekvenčne karakteristike multiplikativnega in nominalnega modela ter modela odstopanj

3 Problem mešane občutljivosti

Vrednotenje robustnosti temelji na teoremu majhnega ojačenja, ki pravi da bo sistem robustno stabilen ob izpolnjenem pogoju,

$$\|PK\|_\infty < 1 \quad (4)$$

kjer sta P sistem in K regulator. Na osnovi (4) lahko pogoj robustne stabilnosti razširimo na problem vhodnega multiplikativnega modela

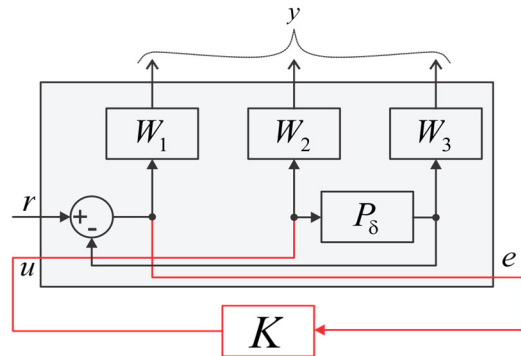
$$\|\Delta W_M T(\tilde{p}_r)\|_\infty < 1. \quad (5)$$

kjer je $T(\tilde{p}_r)$ komplementarna občutljivost zaprto-zančnega sistema kot funkcija parametrov regulatorja $\tilde{p}_r$. Dalje lahko zapišemo kriterije robustne stabilnosti za standardni problem mešane občutljivosti (Slika 3)

$$\begin{aligned} \|W_1 S\|_\infty &< 1 \\ \|W_2 U\|_\infty &< 1 \\ \|W_3 T\|_\infty &< 1 \end{aligned} \quad (6)$$

kjer so uteži W_1 , W_2 in W_3 prave ter obrnljive. Njihovi inverzi W_1^{-1} , W_2^{-1} in W_3^{-1} predstavljajo zgornje meje zaprto-zančnih frekvenčnih karakteristik S , U in T .

V nadaljevanju se osredotočamo na kriterij robustne stabilnosti (tretji kriterij iz (6)) kot eden izmed kriterijev več-kriterijske optimizacije.



Slika 3: Standardni problem mešane občutljivosti na osnovi metrike norme $\mathcal{H}_\infty$

4 Optimalna metoda pomikanja polov

V tem poglavju je predstavljeno ozadje drugega kriterija optimizacije – kriterija robustnega učinka, ki izvira iz metode pomikanja polov. Metoda pomikanja polov temelji na reševanju Diofantske enačbe.

Predpostavimo standardni zapis zaprto-zančnega sistema,

$$T(s) = \frac{y(s)}{r(s)} = \frac{K(s)P(s)}{1 + K(s)P(s)} = \frac{K(s)P(s)}{C(s)} \quad (7)$$

kjer sta r referenca in y izhod sistema. Regulator in odprto-zančni sistem sta definirana,

$$\begin{aligned} K(s) &= L(s) / R(s) \\ P(s) &= B(s) / A(s) \end{aligned} \quad (8)$$

kjer so

$$\begin{aligned} A(s) &= a_v s^v + a_{v-1} s^{v-1} + \dots + a_1 s^1 + a_0 \\ B(s) &= b_z s^z + b_{z-1} s^{z-1} + \dots + b_1 s^1 + b_0 \\ L(s) &= l_r s^r + l_{r-1} s^{r-1} + \dots + l_1 s^1 + l_0 \\ R(s) &= r_u s^u + r_{u-1} s^{u-1} + \dots + r_1 s^1 + r_0 \\ C(s) &= c_w s^w + c_{w-1} s^{w-1} + \dots + c_1 s^1 + c_0 \end{aligned} \quad (9)$$

Karakteristični polinom $C(s)$ zaprto-zančnega sistema (7) je enak rešitvi polinomske enačbe [4, 5]:

$$C(s) = A(s)R(s) + L(s)B(s). \quad (10)$$

Problematika reševanja polinomske enačbe se nanaša na obstoj rešitve Diofantske enačbe. Možni so trije tipi rešitev na osnovi pogojev

$$\begin{aligned} \deg R(s) &= \deg A(s) - 1 \\ \deg R(s) &> \deg A(s) - 1. \\ \deg R(s) &< \deg A(s) - 1 \end{aligned} \quad (11)$$

V primeru prvega pogoja je rešitev enolična, pod drugim pogojem obstaja več parametričnih rešitev in pod tretjim pogojem realna rešitev ne obstaja.

V sklopu optimalnega načrtovanja regulatorja s poljubnim redom je zanimiv tretji pogoj iz (11), kjer je lahko red regulatorja poljubno majhen. Ker rešitev pod tretjim pogojem ne obstaja, lahko vendarle definiramo kriterij obnašanja zaprto-zančnega sistema in ga optimiziramo. Rešitev takšnega primera predstavlja delo [3], kjer kriterij temelji na napaki $r_r = C - C_r$ kjer je C_r optimiziran zaprto-zančni karakteristični polinom in C referenčni karakteristični polinom. S približevanjem vrednosti napake r_r proti 0 se poenotijo lastnosti zaprto-zančnega sistema z referenčnimi zahtevami.

4.1 Kriterijska funkcija na osnovi položaja polov

Za razliko optimizacije napake karakterističnih polinomov [3] v našem primeru predstavimo novo kriterijsko funkcijo, ki upošteva napako položaja polov zaprto-zančnega sistema.

Zaradi različnih kombinacij tipov polov (realnih, kompleksnih) je potrebno definirati ustrezno razporeditev polov, preden lahko definiramo kriterij

položaja polov. Zapišimo urejen set kompleksnega para polov po velikosti imaginarnega dela

$$I_c \in \{\mathbb{C}^2 \mid I_2 = I_1^* \wedge \text{Im}(I_1) \geq 0\}. \quad (12)$$

Definirajmo set kompleksnih in realnih polov (13), pri čemer so poli urejeni po padajočem zaporedju realnega dela.

$$\begin{aligned} I &\in \left\{ \mathbb{C}^{2x} \mid \text{Re}(I_i) \geq \text{Re}(I_{i+1}) \forall i = \{1, 2, 3, \dots, 2x-1\}, \right. \\ &\quad \left. I_{2k} = I_{2k-1}^* \forall k = \{1, 2, 3, \dots, x\} \wedge \text{Im}(I_{2k-1}) \geq 0 \right\} \\ S &\in \left\{ \mathbb{C}^y \mid \text{Re}(S_i) \geq \text{Re}(S_{i+1}) \forall i = \{1, 2, 3, \dots, y-1\}, \right. \\ &\quad \left. \text{Im}(S_i) = 0 \forall i = \{1, 2, 3, \dots, y\} \right\} \end{aligned} \quad (13)$$

Na osnovi (13) lahko definiramo urejen set polov,

$$Q \in \{[I, S] \mid 2x + y = u + v = w\} \quad (14)$$

kjer so poli urejeni tako, da realni poli sledijo kompleksnim polom. Na osnovi (14) definiramo dva vektorja polov,

$$\mathcal{P}, \mathcal{P}_o(\tilde{p}_r) \in Q \quad (15)$$

kjer je $\mathcal{P}$ vektor referenčnih polov in $\mathcal{P}_o$ vektor zaprto-zančnih polov. Tukaj je vektor zaprto-zančnih polov $\mathcal{P}_o(\tilde{p}_r)$ odvisen od optimiziranih ničel in polov regulatorja, ki jih predstavimo kot vektor parametrov regulatorja $\tilde{p}_r \in \mathbb{R}^{u+v}$.

Optimalno rešitev lahko predstavimo na osnovi napake urejenih vektorjev zaprto-zančnih in referenčnih polov,

$$\|e_p\|_2 = \|\mathcal{P} - \mathcal{P}_o(\tilde{p}_r)\|_2 \quad (16)$$

kjer napako vrednotimo na osnovi metrike $\mathcal{L}_2$. Želeni učinek zaprto-zančnega sistema je tako definiran z vektorjem referenčnih polov. Na osnovi (16) lahko definiramo prvo kriterijsko funkcijo

$$J_1(\tilde{p}_r) = e_p^T e_p = (\mathcal{P} - \mathcal{P}_o(\tilde{p}_r))^T (\mathcal{P} - \mathcal{P}_o(\tilde{p}_r)). \quad (17)$$

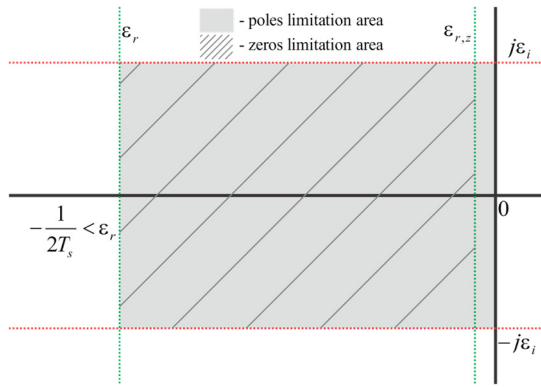
Za optimizacijo robustne stabilnosti zaprto-zančnega sistema definiramo drugo kriterijsko funkcijo,

$$J_2(\tilde{p}_r) = \|W_3 T(\tilde{p}_r)\|_\infty \quad (18)$$

ki temelji na kriteriju robustne stabilnosti (tretji kriterij iz (6)).

5 Eksperimentalni rezultati

Delovanje načrtanega robustnega regulatorja je preverjeno z implementacijo algoritma na realnem sistemu DC-DC stikalnega pretvornika navzgor, vodenega z nizkocenovno FPGA napravo Spartan-3E500 [6]. Ker je osrednja tema članka sinteza regulatorja na osnovi optimizacije cenilnih funkcij za zmanjšanje napake položaja polov se v tem poglavju omejimo na predstavitev rezultatov optimizacijskega postopka. Implementacija vodenja na FPGA-ju, obnašanje zaprto-zančnega sistema z optimalnim regulatorjem in slabost



Slika 4: Dodatne omejitve parametrov regulatorja

numerične napake realnega sistema pri klasičnih robustnih regulatorjih višjega reda so podrobneje prikazani v delu [1], zato jih v tem poglavju ne bomo podajali.

V sklopu rezultatov je predstavljen rezultat več-kriterijske optimizacije cenilnih funkcij (17) in (18) na osnovi metode genetskih algoritmov. Rezultat več-kriterijske optimizacije je skupina optimalnih parametrov (pareto fronta na sliki 4), ki dajejo optimalne vrednosti obeh cenilnih funkcij. Za vse Pareto rešitve velja, da ne obstaja optimalnejša rešitev, ki sočasno zmanjša vrednost obeh optimizacijskih kriterijev. V sklopu načrtovanja regulatorja po predlagani metodi določimo vektor referenčnih polov (Tabela 3) in strukturo regulatorja

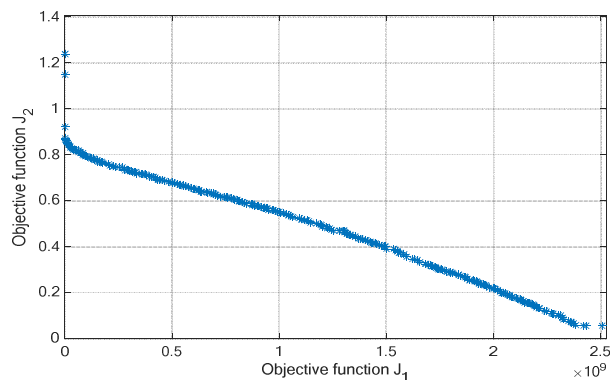
$$K(s, \tilde{p}_r) = \tilde{p}_{r,1} \frac{(s - \tilde{p}_{r,3} + j\tilde{p}_{r,4})(s - \tilde{p}_{r,3} - j\tilde{p}_{r,4})}{s(s - \tilde{p}_{r,2})}. \quad (19)$$

Tekom optimizacije smo upoštevali naslednje parametre optimizacije:

- Velikost populacije: 200
- Metoda križanja: "crossoverheuristic"
- Nelinearna omejitev $\max(\text{Re}(\mathcal{P}_o(\tilde{p}_r))) < 0$

in dodatne omejitve optimiziranih parametrov, ki so prikazane na sliki 4.

Pareto rešitve predstavljenega optimizacijskega problema prikazuje slika 5 in tabela 2. Optimalna rešitev je izbrana tako, da zagotavlja minimalno vrednost kriterija J_1 in hkrati izpolnjuje pogoj robustne stabilnosti $J_2 < 1$.



Slika 5: Pareto optimalne rešitve optimizacijskega problema

Tabela 2: Pareto rešitve v padajočem vrstnem redu po J_2

	J_1	J_2	$\tilde{p}_{r,1}$	$\tilde{p}_{r,2}$	$\tilde{p}_{r,3}$	$\tilde{p}_{r,4}$
1	$7.309e^5$	1.2363	$-1.040e^5$	0.1720	-3363	-23123
2	$7.310e^5$	1.2363	$-1.040e^5$	0.1721	-3363	-23123
3	$1.366e^6$	1.1482	$-1.036e^5$	0.1694	-3092	-22984
4	$1.528e^6$	0.9196	$-1.047e^5$	0.1681	-2122	-22684
5	$1.542e^6$	0.8738	$-1.031e^5$	0.1616	-2032	-23055
6	$1.866e^6$	0.8668	$-1.024e^5$	0.1596	-2014	-23061

Tabela 3: Primerjava referenčnih in zaprto-zančnih polov

$\mathcal{P}$	$\mathcal{P}_o$
$-3.5e^3 + j23e^3$	$-3.156e^3 + j22.28e^3$
$-3.5e^3 - j23e^3$	$-3.156e^3 - j22.28e^3$
$-5e^4 + j1e^3$	$-5.03e^4 + j0.812e^3$
$-5e^4 - j1e^3$	$-5.03e^4 - j0.812e^3$

Rezultat optimizacijskega algoritma je minimalna razlika položaja referenčnih polov $\mathcal{P}$ in polov zaprto-zančnega sistema $\mathcal{P}_o$ (Tabela 3). Na osnovi rezultatov optimizacijskega postopka lahko potrdimo ustreznost predlagane metode.

6 Sklep

Na osnovi predstavljenе metode optimalnega robustnega regulatorja minimalnega reda lahko izberemo poljubno strukturo regulatorja. Predstavljena metoda ni omejena na tretji pogoj iz (11) je pa nujna v primeru tretjega pogoja. V primeru uporabe predlagane metode pod prvim ali drugim pogojem se optimalna vrednost kriterija robustnega učinka ustrezno zmanjša, in je v idealnih razmerah (brez odstopanj realnega sistema) enaka 0. Iz tega sledi, da so zaprto-zančni poli enaki referenčnim polom $\mathcal{P}_0 = \mathcal{P}$.

7 Literatura

- [1] U. Sadek, A. Sarjaš, A. Chowdhury and R. Svečko, "FPGA-based optimal robust minimal-order controller structure of a DC-DC converter with Pareto front solution," *Control Engineering Practice*, vol. 55, pp. 149-161, 2016.
- [2] U. Sadek, A. Sarjaš, A. Chowdhury and R. Svečko, "Robustno načrtovanje regulatorja DC-DC pretvornika po metodi oblikovanja zanke ter implementacija na FPGA = Loop shaping based robust control design of a DC-DC power converter and FPGA implementation," *Zbornik štiriindvajsete mednarodne Elektrotehniške in računalniške konference ERK 2015*, 21. - 23. september 2015, Portorož, Slovenija, vol. A, pp. 145-148, 2015.
- [3] A. Sarjaš, A. Chowdhury and R. Svečko, "Robust Optimal Regional Closed-loop Pole Assignment over Positivity Conditions and Differential Evolution," *IFAC-PapersOnLine*, vol. 48, no. 10, pp. 141-146, 2015.
- [4] V. Kučera, *Discrete Linear Control: The Polynomial Equation Approach*. Chichester [Eng.]: J. Wiley, 1979.
- [5] V. Kučera, "The pole placement equation. A survey," *Kybernetika*, vol. 30, no. 6, pp. 578-584, 1994.
- [6] Xilinx. (2013, June 22). *Spartan-3E FPGA Family Data Sheet (Product Specification ed.)*. Available: http://www.xilinx.com/support/documentation/data_sheets/ds312.pdf