

CMOS urni generator z nastavljivo frekvenco in fazo

Gal Nadrag¹, Matija Podhraški², Aleksander Sešek¹

¹Univerza v Ljubljani Fakulteta za elektrotehniko

²RLS: Rotary and linear motion sensors

E-pošta: gnadrag@gmail.com



Projekt sta sofinancirali Republika Slovenija in Evropska unija iz Evropskega socialnega sklada.

Abstract

In this paper a CMOS clock generator with digitally adjustable frequency and phase is presented. The clock frequency can be selected from 5 MHz up to 20 MHz with a resolution of 1 MHz and 16 phase taps, which can be arbitrarily selected. The design is based on a quadrature pseudo-differential delay cell with possibility of controlled current limitation for frequency adjustment. The design includes a binary weighed current source in order to select the current supplied to the cells. The output is buffered and connected to a D-Flip-Flop in order to ensure a 50 % duty cycle. The simulation results show a duty cycle within 3 % error margin around ideal 50 %, a maximum power dissipation less than 8 mW and a frequency drift of 10 kHz/°C

1 Uvod

V tem članku je predstavljen CMOS generator ure z digitalno nastavljivo frekvenco in fazo. Frekvenca je nastavljiva od 5 MHz do 20 MHz z ločljivostjo 1 MHz. Na voljo ima 16 faznih izhodov. Zasnovan je na podlagi kvadrature pseudo-diferencialne zakasnilne celice z omejitvijo toka. Z nastavljanjem toka spreminjamo frekvenco oscilatorja. Vsebuje tudi binarno utežen tokovni vir. Izhod oscilatorja je digitaliziran in povezan na D Flip-Flop, da zagotovimo delovni cikel 50 %. Simulacijski rezultati kažejo, da se delovni cikel giblje v območju od 50% do 53%, poraba je 8 mW in temperaturna odvisnost frekvence v območju 10 kHz/°C. Celica generatorja ure je rezultat projekta št. 43 (UL-FE, SKLOP A2), ki sta ga sofinancirali Republika Slovenija in Evropska unija iz Evropskega socialnega sklada.

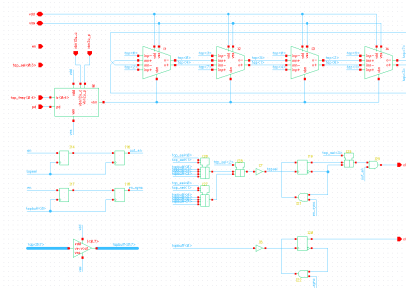
2 Arhitektura

Urn timer generator ima dva izhoda, referenčni in nastavljivi. Referenčni izhod ima vedno enako fazo, nastavljivem iz-

hodu pa prek digitalnega vhoda fazo nastavimo. Frekvenca obeh izhodov je enaka in jo nastavimo prek digitalnega vhoda. Celica ima tudi možnost izklopa izhodov in samega oscilatorja.

Celica za svoje delovanje potrebuje 12 μ A PTAT in 2 μ A CTAT referenčni tok ter je napajana z 3.3 V napajalnim virom.

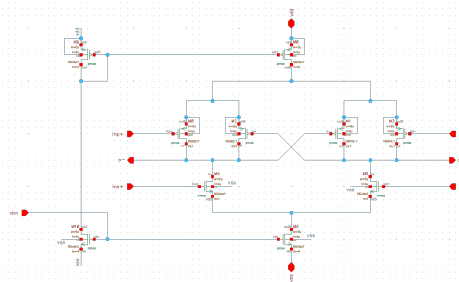
Jedro generatorja je obročni oscilator, kateremu nastavimo frekvenco s tokovnim virom. Izhode oscilatorja nato povežemo v medpomnilnik in izberemo želeno fazo. Nastavljivem in referenčnemu signalu nato z D-Flip-Flop-om (DFF) zagotovimo delovni cikel 50 %. Shema generatorja je predstavljena na sliki 1.



Slika 1: Shema urnega generatorja

3 Oscilator

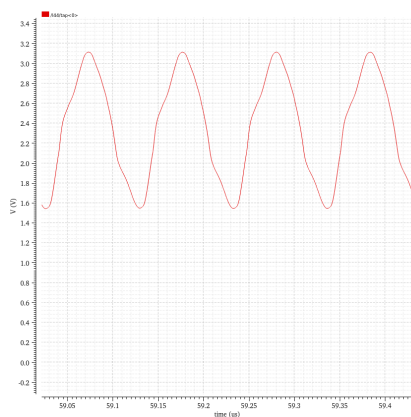
Glavni oscilator je kvadrature pseudo-diferencialni obročni oscilator [1]. Temu lahko nastavljamo frekvenco prek tranzistorjev, ki zakasnilnim celicam omejijo tok [2]. Oscilator ima 4 diferencialne stopnje in omogoča 8 izhodov.



Slika 2: Arhitektura zakasnilne celice

Zakasnilna celica, predstavljena na sliki 2, je sestavljena iz dveh sklopljenih inverterjev. Vhoda PMOS in NMOS tranzistorjev sta zamaknjena za 45° , inverterja pa sta zamaknjena za 180° , da dobimo diferencialni izhod.

Izhodi imajo pri nižjih frekvencah omejeno amplitudo in nizek izhodni tok, zato je signal najprej povezan na medpomnilnik. Tu je smotrno uporabiti neuravnotežen medpomnilnik, kateremu lahko nastavimo preklopno točko, saj signal pri nižjih frekvencah ni na sredini napetostnega območja. Signal na izhodu oscilatorja je predstavljen na sliki 3.



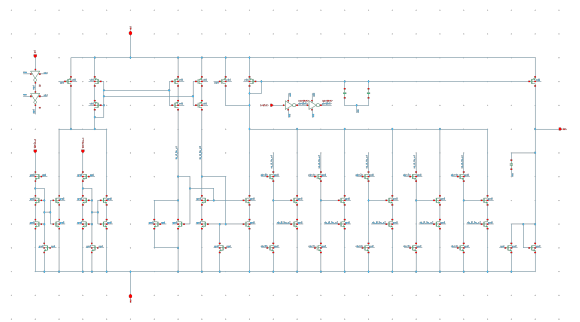
Slika 3: Izhod oscilatorja

Nato z multiplekserjem izberemo fazo nastavljenega izhoda, ki mu s pomočjo DFF zagotovimo delovni cikel 50%. Enako storimo tudi z referenčnim izhodom. Ker smo signal povezali na DFF, se mu čas periode podvoji. To pomeni, da se faza prepolovi. S tem imamo na voljo fazne zamike v območju od 0° do 180° , za fazne zamike med 180° in 360° pa uporabimo invertiran izhod DFF celice.

Ker smo dodali spominske celice, moramo biti previdni z inicializacijo. Vklonni signal sinhroniziramo na oba izhoda in prek njiju upravljamo preklapljanje DFF. Za sinhronizacijo uporabimo dvojne DFF, da se izognemo meta-stabilnosti. Pomembno je tudi, da signal za vklop DFF in signal na njihovem vhodu ne preklopita istočasno, saj to lahko vodi do neželenih preklonov na izhodih. Zato poskrbimo, da sta vhoda časovno zamaknjena z verigo inverterjev.

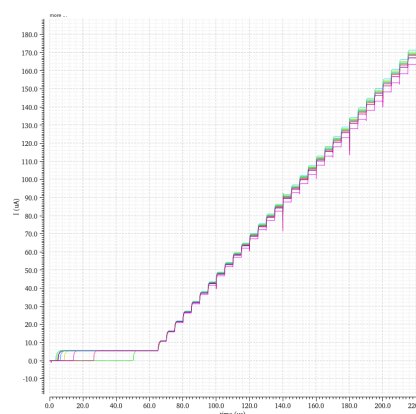
4 Tokovni vir

Za nastavev frekvence uporabimo binarni tokovni vir [3]. Ta prek tokovnega zrcala nastavi tok zakasnilnim celicam. Tokovni vir ima 5 bitov ločljivosti, kar obsega najmanjši tok $5 \mu\text{A}$ in največji tok $160 \mu\text{A}$. Izhodni tok je deljen z 10 prek razmerja velikosti tranzistorjev za krmljenje toka v oscilatorju. Tokovni vir za boljše delovanje potrebuje PTAT in CTAT referenco, da izničimo temperaturne efekte. Slika 4 prikazuje shemo tokovnega vira.



Slika 4: Shema tokovnega vira

Sledi simulacija delovanja tokovnega vira, ki nam pokaže, da je odziv tokovnega vira linearen in je predstavljena na sliki 5. Ločljivost vira je $5 \mu\text{A}$, vidimo pa lahko tokovne špice pri preklonih. Zaradi teh konic ob preklonih je priporočeno, da se izhod generatorja pred spremembo frekvence izklopi.

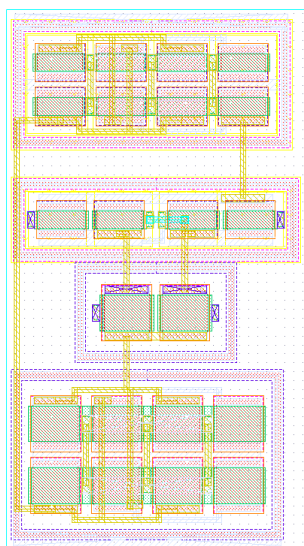


Slika 5: Odziv tokovnega vira

5 Sestavnica mask

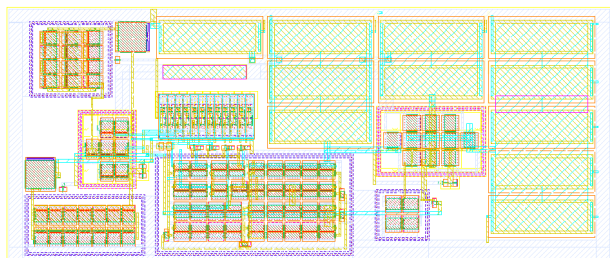
Naredili smo tudi sestavnico mask (ang. layout) v 350nm CMOS procesu. Za digitalne celice smo uporabili uradno digitalno knjižnico elementov, ki jo ponuja proizvajalec integriranih vezij, celice analognega dela pa smo načrtali sami.

Pri zakasnilni celici je pomembna simetrična postavitev elementov, da se zagotovi enake zakasnitve med posameznimi signali. Pomembno je tudi, da so vsa tokovna zrcala, ki celici dovajajo tok, dobro sklopljena [4]. Odstopanje simetrije in napake pri sklopitvi tokov vodijo do faznih napak. Pri postavitvi elementov tokovnih virov zagotovimo, da so tranzistorji obeh delov zrcala med seboj "prepleteni", da zmanjšamo vpliv procesnih variacij. To pomeni, da se tranzistorji postavijo izmenjajoče po en tranzistor vsakega tokovnega vira, v obe smeri. Vse tranzistorje tokovnih zrcal zaščitimo z ločenim varovalnim obročem, da zmanjšamo vpliv zunanjih motenj. Slika 6 predstavlja sestavnico mask opisane celice.



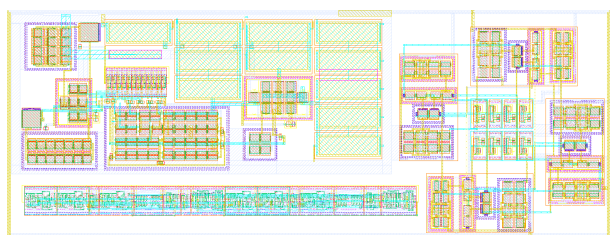
Slika 6: Postavitev zakasnilne celice

Na sliki 7, ki predstavlja sestavnico mask tokovnega vira vidimo, da velik del površine zasedejo integrirani kondenzatorji, ki so potrebni za stabilno delovanje vezja, sicer pa večinski del ostalega vezja predstavljajo tokovna zrcala, ki regulirajo izhodni tok. Ta tokovna zrcala v sestavnici mask med seboj prav tako prepletemo in okoli njih postavimo skupen varovalni obroč. Manjše tranzistorje, ki vire vklaplajo ali izklopljajo, postavimo izven obroča.



Slika 7: Postavitev tokovnega vira

Ko so posamezni podsklopi končani, postavimo vse celice skupaj tako, da čim bolj izrabimo prostor. Kot vidimo na sliki 8, večino celotne celice zasede tokovni vir, predvsem zaradi prej omenjene površine kondenzatorjev. Vidimo tudi obročni oscilator, ki postavljen v krogu, da zmanjšamo razliko v zakasnitvi med celicami. Digitalni del je ločen od ostalega vezja, da ne povzroča motenj.



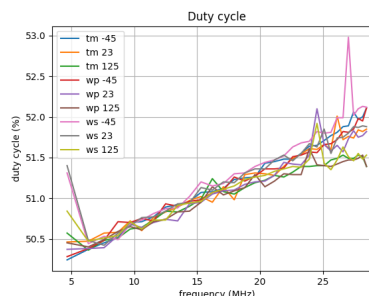
Slika 8: Postavitev celotne celice

6 Rezultati

Izvedli smo simulacije čez celotno frekvenčno in temperaturno območje z upoštevanjem procesnih variacij. Izvedene so bile pri tipičnih (tm) parametrih, parametrih za najslabšo hitrost (ws) in za naslabšo moč (wp). Včasih ob oznaki piše tudi temperatura, pri kateri je bila simulacija izvedena.

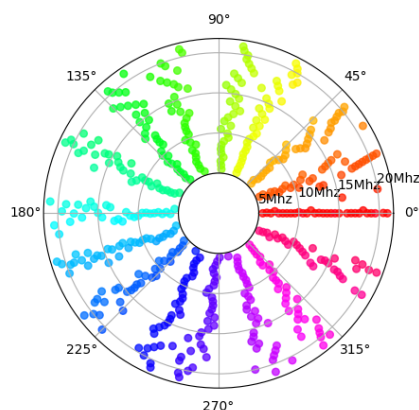
Simulacije so potrdile, da je oscilator stabilen pri vseh pogojih in se vedno zažene v 10 μ s. Vidimo tudi, da ob vklopu izhodov dobimo čist signal kjer je vsak pulz urnega signala dolg eno periodo.

Na sliki 9 vidimo, da je delovni cikel oscilatorja v območju med 50 % in 53 % in je pozitivno soroden frekvenci. To lahko razumemo kot odzivni čas D Flip-Flop celice. Ko se frekvenca večja, to predstavlja večji odstotek celotne periode.



Slika 9: Meritve delovnega cikla v odvisnosti od frekvence

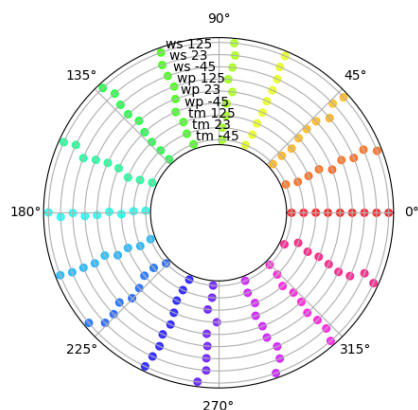
Pomerili smo tudi stresanje faze z merjenjem fazne razlike med referenčnim in nastavljivim izhodom pri vseh 16 faznih zamikih. Najprej pogledajmo stresanje faze v odvisnosti od frekvence. Na sliki 10 vidimo, da se z večanjem frekvence poveča tudi stresanje faze. To ostane v območju $\pm 8^\circ$.



Slika 10: Meritve faze v odvisnosti od frekvence

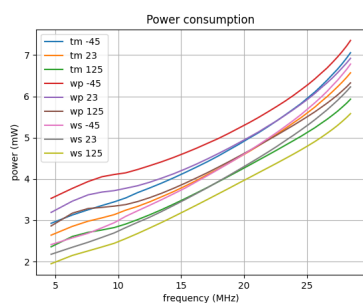
Na radialni osi slike 10, je frekvenca od 5MHz do 20MHz. Za vsako frekvenčno točko, izmerimo fazo vseh nastavitvev izhoda in jo prikažemo kot točko na ustreznem kotu. Barva predstavlja posamezno nastavitvev izhoda.

Stresanje faze zaradi temperature in procesnih variacij prinese odstopanje v območju $\pm 5^\circ$. Na diagramu 11 so na radialni osi različni temperaturni in procesni robovi.



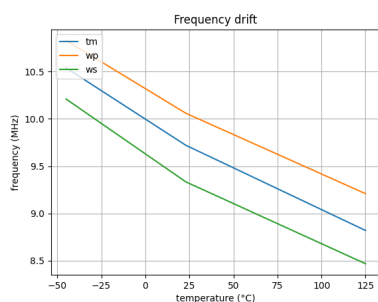
Slika 11: Meritve faze v odvisnosti od procesa in temperature

Poraba moči vezja je v območju 2 mW do 8 mW. Na sliki 12 vidimo, da se poveča pri višjih frekvencah ter tudi izrazit vpliv procesnih variacij in temperature. Razlike v procesu doprinesejo približno 1mW porabe, temperaturne razlike pa nadaljnjih 0.5 mW.



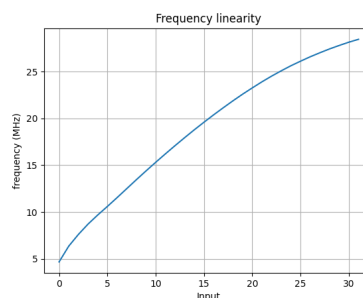
Slika 12: Meritve porabe moči

Simulacijski rezultati spremembe izhodne frekvence glede na temperaturo so podani na sliki 13. Frekvenca je pozitivno proporcionalna temperaturi, odvisnost se giblje v območju 10 kHz/°C, torej v celotnem temperaturnem območju -45°C do 125°C dobimo variacijo 1.7MHz oziroma 3.5 bite. Procesne variacije spremenijo izhodno frekvenco za 750kHz oziroma 1.5 bita.



Slika 13: Meritve stabilnosti frekvence

Poglejmo si še odvisnost izhodne frekvence v odvisnosti od digitalnega vhoda, ki je predstavljena na sliki 14. Vidimo, da frekvenca monotono narašča z ločljivostjo 1MHz/bit. Vidimo, da pri višjih frekvencah ločljivost naraste na 500kHz/bit.



Slika 14: Meritve izhodne frekvence glede na digitalni vhod

7 Zaključek

Uspešno smo načrtali CMOS generator ure. Celica za pravilno delovanje potrebuje le zunanje stabilno napajanje in stabilne tokovne reference. Dodatno se digitalno izbere želena frekvenca, fazni zamik, vklop vezja ter aktivne izhode. Celica je stabilna čez široko temperaturno območje in deluje pri vseh procesnih parametrih. Celica se odlično inicializira in poskrbi, da na izhodu ni tranzientnih konic ob vklopu. Temperaturna stabilnost je v območju 10 kHz/°C, fazni zamik nastavljivega izhoda pa je dokaj občutljiv na parametre vezja.

8 Zahvala

Avtorji se zahvaljujejo Republiki Sloveniji in Evropski uniji za sofinanciranje izvedbe projekta št. 43 (UL-FE, SKLOP A2).

Literatura

- [1] Mansuri, Mozghan & Yang, Chih-Kong. (2003). A low-power adaptive bandwidth PLL and clock buffer with supply-noise compensation. *Solid-State Circuits, IEEE Journal of*. 38. 1804 - 1812. 10.1109/JSSC.2003.818300.
- [2] Suman, Shruti & Sharma, K & Ghosh, Pradip. (2016). Analysis and Design of Current Starved Ring VCO. 10.1109/ICEEOT.2016.7755299.
- [3] Hanfoug, Salah & Bouguechal, Nour-Eddine & Samir, Barra. (2014). Behavioral non-ideal Model of 8-bit Current-Mode Successive Approximation Registers ADC by using Simulink. *International Journal of u- and e- Service, Science and Technology*. 7. 85-102. 10.14257/ijunesst.2014.7.3.09.
- [4] Current Mirrors in Analog Layout <https://pulsic.com/current-mirrors-in-analog-layout/> Accessed 2023-14-7